

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-275805

(43)Date of publication of application : 13.10.1998

(51)Int.Cl.

H01L 21/316

(21)Application number : 09-079498

(71)Applicant : NEC CORP

(22)Date of filing : 31.03.1997

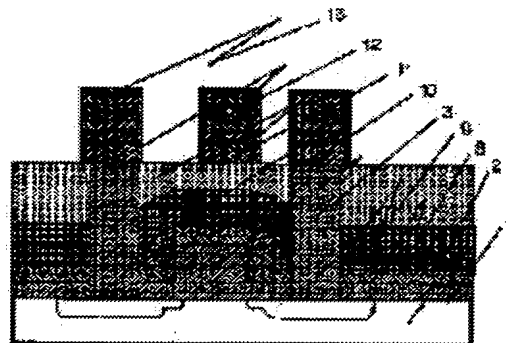
(72)Inventor : ISHIKAWA HIROSHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a manufacturing method by which flatness that is sufficient for performing low-temperature treatment can be obtained.

SOLUTION: After an element 7 is formed on a semiconductor element 1, a first insulating film (silicon nitride film) 9 and a second insulating film (BPSG film) containing boron and phosphorus are successively formed on the element 7, and a third insulating film (SOG film) 11 containing at least either one of boron and phosphorous is formed by a coating method. Then, the substrate 1 is successively heat-treated in a high-pressure atmosphere, containing steam and in an inert gas atmosphere. Therefore, the SOG film 11 is gelatinized and flattened by a high external pressure which is applied to the film 11 itself during the heat treatment, performed in the high-pressure atmosphere and cured during the heat treatment performed in an inert gas atmosphere.



LEGAL STATUS

[Date of request for examination] 31.03.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2980052

[Date of registration] 17.09.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-275805

(43) 公開日 平成10年(1998)10月13日

(51) Int.Cl.⁶

H 0 1 L 21/316

識別記号

F I

H 0 1 L 21/316

M

H

審査請求 有 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願平9-79498

(22) 出願日 平成9年(1997)3月31日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 石川 拓

東京都港区芝五丁目7番1号 日本電気株式会社内

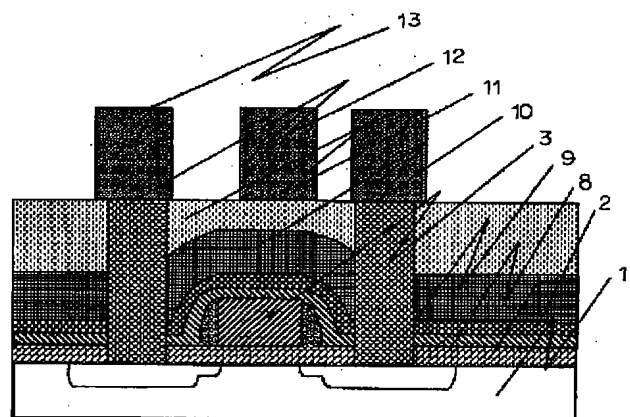
(74) 代理人 弁理士 鈴木 章夫

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 S O G等の塗布絶縁膜の表面を平坦化するために、常圧水蒸気雰囲気中で熱処理するとS O Gが硬化してしまい平坦性が向上できない。また、B P S G膜を水蒸気中でリフローして平坦化するときには800℃以上の高温処理となり、素子特性を劣化させてしまう。

【解決手段】 半導体基板1上に素子7を形成し、この素子7上に第1の絶縁膜(シリコン窒化膜)9を形成し、この上にホウ素とリンを含む第2の絶縁膜(B P S G膜)10を形成し、さらにその上に塗布法によりホウ素もしくはリンの少なくとも一方を含む第3の絶縁膜(S O G膜)11を形成する。その上で、基板を水蒸気を含む高圧雰囲気中で熱処理し、続いて不活性なガス雰囲気中で熱処理を行う。これにより、S O G膜11をゲル状化し、外部からの高圧により膜自身に圧力が加えられて平坦化される。その後、不活性なガス雰囲気中で熱処理してS O G膜を硬化させる。



1:基板 2:ゲート絶縁膜 3:ゲート電極
5:LDD領域 6:ソース・ドレイン領域 7:素子
8:シリコン酸化膜 9:シリコン窒化膜 10:BPSG膜
11:SOG膜 12:金属柱 13:金属配線

【特許請求の範囲】

【請求項 1】 半導体基板上に素子を形成し、この素子上に第 1 の絶縁膜を形成する工程と、この第 1 の絶縁膜上にホウ素とリンを含む第 2 の絶縁膜を形成する工程と、前記シリコン酸化膜上に塗布法によりホウ素もしくはリンの少なくとも一方を含む第 3 の絶縁膜を形成する工程と、前記基板を水蒸気を含む高圧雰囲気中で熱処理し、続いて不活性なガス雰囲気中で熱処理を行う工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 2】 第 2 の絶縁膜は BPSG 膜である請求項 1 の半導体装置の製造方法。

【請求項 3】 第 3 の絶縁膜は SOG 膜である請求項 1 または 2 の半導体装置の製造方法。

【請求項 4】 第 1 の絶縁膜はシリコン窒化膜である請求項 1 ないし 3 のいずれかの半導体装置の製造方法。

【請求項 5】 水蒸気を含む高圧雰囲気は 5 気圧以上で 400 ないし 700℃である請求項 1 ないし 4 のいずれかの半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置の製造方法に関し、特に表面の平坦化を図った層間絶縁膜の製造方法に関する。

【0002】

【従来の技術】 半導体装置の高集積化、高速化に伴い、個々の搭載される半導体素子の微細化が進められている。これに伴い、リソグラフィ技術の限界からトランジスタとその上層に設けられる配線とを絶縁する層間絶縁膜に対する平坦化の要求が高められている。このような平坦化技術として、層間絶縁膜の表面を化学的機械研磨法（CMP 法）により研磨する技術が提案されている。しかしながら、この技術ではコストが高くなり、かつ研磨する層間絶縁膜の形状パターンにより平坦性が変化する等の問題がある。また、塗布法によるシリコン酸化膜（SOG 膜）を平坦化に用いる技術が特開平 7-37879 号公報に記載されている。この技術は、素子上に形成された SOG 膜に対して水蒸気雰囲気中で熱酸化を行い、SOG 膜中の不純物成分を除去することで SOG 膜の膜質を BPSG 膜と同等の膜質とし、比較的低温でのリフローによる平坦化を可能とするというものである。

【0003】 また、他の平坦化技術として、1992 年の Journal of Electrochemical society に記載されている W. Dauksher らによる「An Three "Low Dt" Options for Planarizing the Pre-metal Dielectric on an Advanced Double PolyBiCMOS Process」では、トランジスタ上に形成されたホウ素とリンを含むシリコン酸化膜（BPSG 膜）を水蒸気雰囲気中で熱処理することにより、BPSG 膜をリフローさせ、平坦化する技術が記載されている。

【0004】

【発明が解決しようとする課題】 しかしながら、前記した従来の技術のうち、前者の SOG 膜を水蒸気雰囲気中で熱処理する技術では、この熱処理によって SOG 膜自体の硬化反応が生じてしまうため、実際には有効な平坦化は困難である。また、後者の BPSG 膜を水蒸気中でリフローする技術では、BPSG 膜の軟化温度が高いため、十分な平坦性を得るためには 800℃程度の高温が必要であり、前工程で形成されている拡散層等に影響を与え、素子の特性が劣化されてしまう等の問題が生じる。

【0005】 本発明の目的は、低温処理により十分な平坦性を得ることが可能な製造方法を提供することにある。

【0006】

【課題を解決するための手段】 本発明の製造方法は、半導体基板上に素子を形成し、この素子上に第 1 の絶縁膜を形成する工程と、この第 1 の絶縁膜上にホウ素とリンを含む第 2 の絶縁膜を形成する工程と、前記シリコン酸化膜上に塗布法によりホウ素もしくはリンの少なくとも一方を含む第 3 の絶縁膜を形成する工程と、前記基板を水蒸気を含む高圧雰囲気中で熱処理し、続いて不活性なガス雰囲気中で熱処理を行う工程とを含んでいる。例えば、第 2 の絶縁膜として BPSG 膜を、第 3 の絶縁膜として SOG 膜を、第 1 の絶縁膜としてシリコン窒化膜を用いる。

【0007】

【発明の実施の形態】 次に、本発明の実施形態を図面を参照して説明する。図 1～図 3 は本発明の第 1 の実施形態を製造工程順に示す断面図である。先ず、図 1 (a) のように、基板 1 に、例えばゲート絶縁膜 2、ゲート電極 3、サイドウォール 4、LDD 領域 5、ソース・ドレイン領域 6 で構成される MOS トランジスタ等の素子 7 を形成し、この素子 7 の上に常圧による化学気相成長法（CVD 法）によるシリコン酸化膜 8 を形成し、さらにこの上にシリコン窒化膜 9 を形成する。このシリコン窒化膜 9 は、後工程での処理による水分が素子 7 まで侵入しないようにするための保護膜として機能する。このシリコン窒化膜 9 の膜厚は 50～200 Å 程度あれば十分である。

【0008】 次に、図 1 (b) のように、前記シリコン窒化膜 9 上に CVD 法により BPSG 膜 10 を形成する。この BPSG 膜 10 の膜厚は半導体素子の設計による適切な膜厚に設定される。この BPSG 膜 10 の形成後に、膜の安定化のために適切な熱処理を加える。次いで、図 2 (a) のように、前記 BPSG 膜 10 上に塗布法により SOG 膜 11 を形成する。この SOG 膜 11 には、後の処理時に十分な平坦性を得るために、リン若しくはホウ素等の少なくとも一方が含まれた材料を用いて形成する。この SOG 膜 11 を形成した後、膜中に含まれる溶媒を除去するために、窒素若しくはアルゴン等の

不活性ガス雰囲気中で200から300℃程度の熱処理を行う。

【0009】しかる後、以上の処理が行われた基板を高圧水蒸気雰囲気中で熱処理を行う。この高圧水蒸気雰囲気中での熱処理を行うと、SGO膜11中の(—Si—O—Si—)結合が弱いため、加水分解が起こり、膜中の(—Si—O—Si—)の網目構造が水分子H₂Oにより(—Si—OH)(HO—Si—)のような形に切断される。網目構造が切断されたSGO膜11はゲル状に変化し、可塑性をもつようになる。また、膜中にリンやホウ素が含まれていると、(—Si—O—Si—)結合がより弱くなるため、容易にゲル化が進む。さらに、このとき、外部からの高圧により膜自身に力が加わることで、図2(b)のように、ゲル状のSGO膜11が平坦化される。

【0010】図4は高圧水蒸気雰囲気中での熱処理における圧力、温度における平坦性を示したものである。同図の斜線部分がデバイス適用上満足できる平坦性が得られる領域を示したものである。圧力が高いほど低温で平坦性が得られるが、低い圧力では平坦性を得るためには高い温度が必要となる。また、高い圧力でも温度が高いほど平坦性が向上する。さらに、平坦化されたSGO膜を固めるため、高圧雰囲気のまま窒素もしくは不活性ガス雰囲気中で熱処理を行う。この際、熱処理温度は水蒸気雰囲気中での熱処理温度を同等若しくはそれ以上の温度を用い、SGO膜中の水分を完全に除去する。熱処理後、ドライエッチング法等によるエッチバックを行い、素子上の絶縁膜の膜厚を適切に調整しても構わない。このように、絶縁膜が平坦化されたことにより、図3に示すように、その後の素子への電気接続用の金属柱12の形成や金属配線13の形成が容易に行い得るようになる。

【0011】図5～図7は、本発明の第2の実施形態を製造工程順に示す断面図であり、前記第1の実施形態と等価な部分には同一符号を付してある。先ず、図5

(a)のように、第1の実施形態と同様に、基板1にMOSTランジスタ等の素子7を形成し、その上にCVD法によりシリコン酸化膜8を形成し、さらにこの上に図5(b)のように、第1の実施形態と同様なシリコン窒化膜9を形成する。さらに、このシリコン窒化膜9上にシリコン酸化膜10Aを形成する。このシリコン酸化膜10Aの形成方法としては、一般的なCVD法を用い、その膜厚は半導体素子の設計による適切な膜厚に設定される。その上で、図6(a)のように、前記シリコン酸化膜10Aの上に塗布法によりSGO膜11を形成する。塗布後、膜中に含まれる溶媒を除去するために、窒素若しくはアルゴン等の不活性ガス雰囲気中において200から300℃程度の熱処理を行う。このSGO膜11を形成した後、後の処理での膜の平坦性を向上させるため、イオン注入法によりSGO膜11中にリン若しく

はホウ素元素を注入する。注入元素のSGO膜11中での分布は、表面層側で濃度が濃くなるように注入するイオンの加速度を調整する。

【0012】次に、第1の実施形態と同様に、この基板を高圧水蒸気雰囲気中で熱処理を行う。この高圧水蒸気雰囲気中での熱処理を行うと、SGO膜11中の(—Si—O—Si—)結合が弱いため、加水分解が起こり、膜中の(—Si—O—Si—)の網目構造が水分子H₂Oにより(—Si—OH)(HO—Si—)のような形に切断される。網目構造が切断されたSGO膜はゲル状に変化し、可塑性をもつようになる。また、膜中にリンやホウ素が含まれていると、(—Si—O—Si—)結合がより弱くなるため、容易にゲル化が進む。さらに、このとき、外部からの高圧により膜自身に力が加わることで、図6(b)のように、ゲル状のSGO膜11が平坦化される。

【0013】さらに、平坦化されたSGO膜11を固めるため、高圧雰囲気のまま窒素若しくは不活性ガス雰囲気中で熱処理を行う。この際、熱処理温度は水蒸気雰囲気中での熱処理温度と同等若しくはそれ以上の温度を用い、SGO膜11中の水分を完全に除去する。熱処理後、ドライエッチング法等によるエッチバックを行い、素子上の絶縁膜の膜厚を適切に調整しても構わない。このように、絶縁膜が平坦化されたことにより、図7に示すように、その後の素子への電気接続用の金属柱12の形成や金属配線13の形成が容易に行い得るようになる。

【0014】なお、前記した第1および第2の実施形態に加えて、本発明者が種々の実験を行った結果、本発明方法においては、水蒸気を含む高圧雰囲気は5気圧以上であることが、また処理温度は400ないし700℃であることが、さらに熱処理時間は1から2時間程度が生産性を考慮した望ましい値であることが判明した。また、不活性ガスは窒素の他に、アルゴン等の希ガスや、これらのガスに酸素を添加した混合ガスが用いられることが可能であることも確認されている。

【0015】

【発明の効果】以上説明したように本発明は、第の絶縁膜上に塗布絶縁膜を形成した上でこれを高圧水蒸気雰囲気中で熱処理することにより、塗布絶縁膜における加水分解反応が起こり、ゲル状化した塗布絶縁膜が高圧で平坦化されるため、絶縁膜の表面の平坦化が実現できる。また、これにより、高圧水蒸気雰囲気中での熱処理温度を700℃以下にでき、基板に形成した素子に対する影響を緩和し、素子特性の劣化が防止できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態の製造方法を工程順に示す断面図のその1である。

【図2】本発明の第1の実施形態の製造方法を工程順に示す断面図のその2である。

【図3】本発明の第1の実施形態の製造方法を工程順に示す断面図のその3である。

【図4】SOG膜における平坦性と処理圧力と処理温度の関係を示す図である。

【図5】本発明の第2の実施形態の製造方法を工程順に示す断面図のその1である。

【図6】本発明の第2の実施形態の製造方法を工程順に示す断面図のその2である。

【図7】本発明の第2の実施形態の製造方法を工程順に示す断面図のその3である。

【符号の説明】

1 半導体基板

* 2 ゲート絶縁膜

3 ゲート電極

5 LDD領域

6 ソース・ドレイン領域

7 素子（トランジスタ）

8 シリコン酸化膜

9 シリコン窒化膜

10 BPSG膜

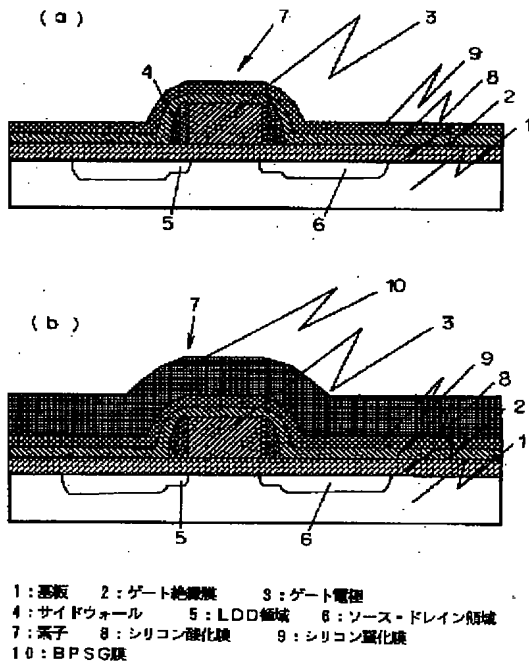
10A シリコン酸化膜

10 11 SOG膜

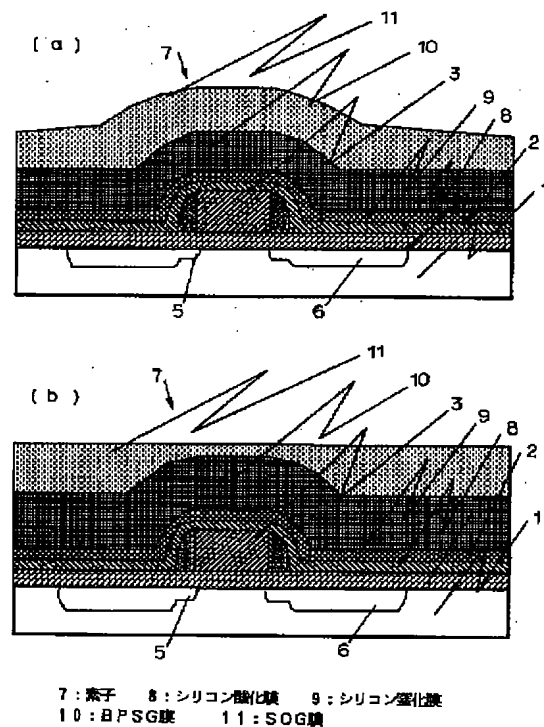
12 金属柱

* 13 金属配線

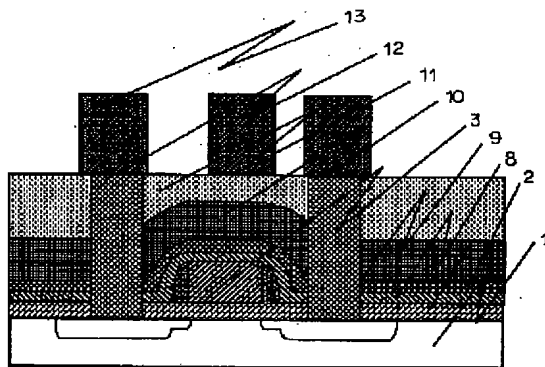
【図1】



【図2】

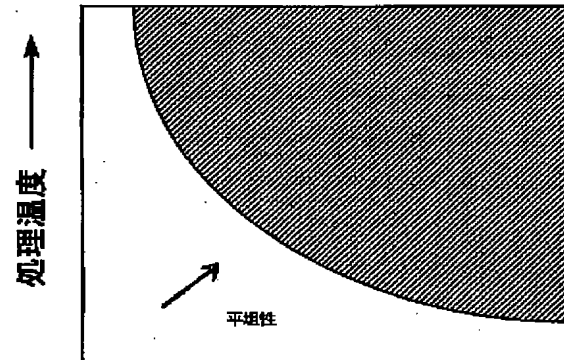


【図3】



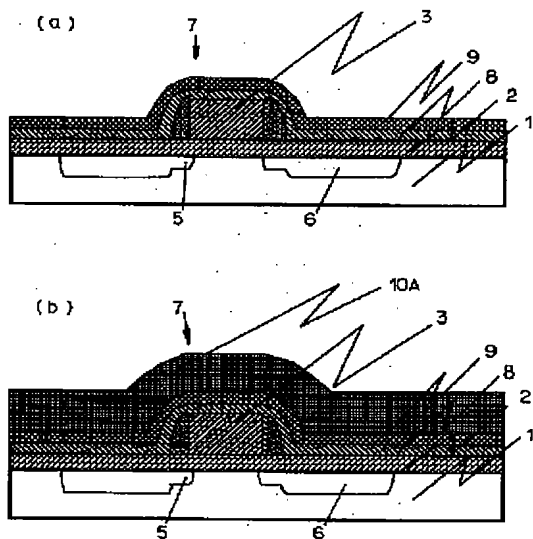
1:基板 2:ゲート絶縁膜 3:ゲート電極
5:LDD領域 6:ソース・ドレイン領域 7:素子
8:シリコン酸化膜 9:シリコン窒化膜 10:BPSG膜
11:SOG膜 12:金属柱 13:金属配線

【図4】



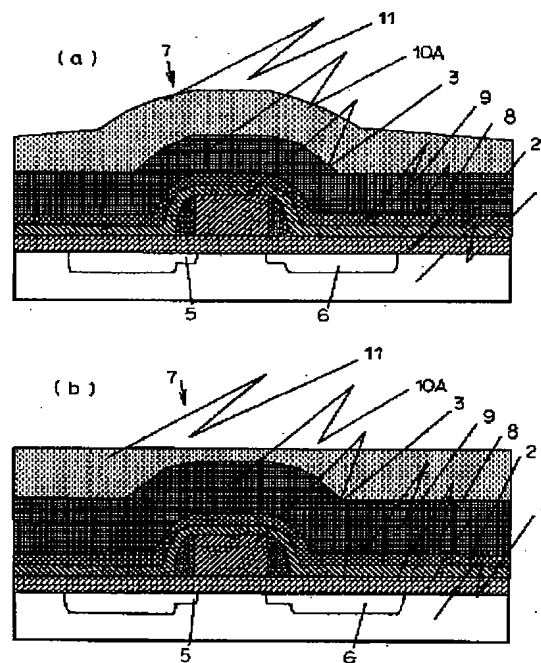
平坦性と処理圧力、温度の関係

【図5】



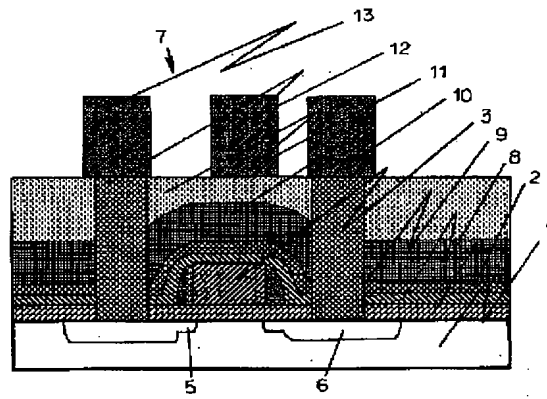
1:基板 2:ゲート絶縁膜 3:ゲート電極
4:サイドウォール 5:LDD領域 6:ソース・ドレイン領域
7:素子 8:シリコン酸化膜 9:シリコン窒化膜
10A:シリコン酸化膜

【図6】



7:素子 8:シリコン酸化膜 9:シリコン窒化膜
10A:BPSG膜 11:SOG膜

【図7】



- 1: 基板 2: ゲート絶縁膜 3: ゲート電極
 5: LDD領域 8: ソース・ドレイン領域 7: 素子
 8: シリコン窒化膜 9: シリコン酸化膜 10A: BPSG膜
 11: SOG膜 12: 金属柱 13: 金属配線